Correction : Travaux Dirigés n°3

Chapitre 3 : Organisation interne d'un ordinateur

Conventions : 1 Ko $= 10^3$ octets et 1 Mo $= 10^6$ octets pour les débits ; 1 Kio $= 2^{10}$ octets, 1 Mio $= 2^{20}$ octets, 1 Gio $= 2^{30}$ octets pour les capacités mémoire. Les nombres signés sont codés en complément à 2.

Exercice 1 : Questions de cours

Répondre par *vrai* ou *faux* en justifiant brièvement.

1) Dans l'architecture de Von Neumann, le programme et les données sont stockés dans deux mémoires distinctes.
2) L'unité de commande () effectue les opérations arithmétiques et logiques.
3) Le compteur ordinal contient l'adresse de l'instruction *en cours* d'exécution.
4) Le bus d'adresses est bidirectionnel.
5) Un bus de données de 64 bits transfère 8 octets à chaque cycle.
6) Les registres sont plus rapides que la mémoire centrale.
7) Le registre d'état est modifié en fonction du résultat de la dernière opération de l'.

1) **Faux.** Von Neumann : une *seule* mémoire pour les programmes et les données (c'est l'architecture Harvard qui les sépare).
2) **Faux.** C'est le rôle de l' ; l' décode les instructions et coordonne l'ensemble.
3) **Faux.** Le CO contient l'adresse de la *prochaine* instruction ; l'instruction en cours est dans le registre d'instruction (RI).
4) **Faux.** Il est unidirectionnel : le processeur indique l'adresse aux autres composants.
5) **Vrai.** $64/8 = 8$ octets par cycle.
6) **Vrai.** Ils sont situés dans le processeur et accessibles en un cycle d'horloge.
7) **Vrai.** Les indicateurs (Z, N, C, V…) sont positionnés après chaque opération.

Exercice 2 : Fréquence d'horloge et performance

1) Calculer la durée d'un cycle d'un processeur cadencé à 2,5 GHz.
2) Un processeur à 4 GHz exécute en moyenne 1,5 instruction par cycle. Combien d'instructions exécute-t-il par seconde ? Et en 3 s ?
3) Un programme comporte 9×10^9 instructions et chaque instruction demande en moyenne 3 cycles. Calculer son temps d'exécution sur un processeur à 3 GHz.
4) Un processeur *quad-core* à 2 GHz peut-il être considéré comme 4 fois plus rapide qu'un mono-cœur à 2 GHz ? Justifier.

1) $T = \dfrac{1}{f} = \dfrac{1}{2{,}5 \times 10^9} = 0{,}4 \times 10^{-9}$ s $= \boxed{0{,}4 \text{ ns}}$.
2) $4 \times 10^9 \times 1{,}5 = \boxed{6 \times 10^9}$ instructions/s ; en 3 s : $\boxed{18 \times 10^9}$ instructions.

3) Nombre de cycles : $9 \times 10^9 \times 3 = 27 \times 10^9$; durée : $\dfrac{27 \times 10^9}{3 \times 10^9} = \boxed{9\text{ s}}$.

4) Non, pas nécessairement : la fréquence par cœur est la même ; le gain théorique n'est atteint que si le programme est parallélisable et utilise les 4 cœurs (sans compter la mémoire cache, les accès mémoire…). Pour un programme séquentiel, le gain est quasi nul.

Exercice 3 : Références de processeurs

Pour chacun des processeurs suivants, indiquer la marque, la famille, la génération, l'identifiant (SKU) et la signification du suffixe :

1) Intel Core i7-12700H 2) Intel Core i5-13600K 3) AMD Ryzen 7 5800U

	Marque	Famille	Génération	SKU	Suffixe
1)	Intel Core	i7	12	700	H : portable hautes performances
2)	Intel Core	i5	13	600	K : multiplicateur déverrouillé (overclocking)
3)	AMD Ryzen	Ryzen 7	série 5000	800	U : basse consommation (ultra-portable)

Exercice 4 : Capacité de la mémoire

1) Un processeur possède un bus d'adresses de 16 bits et la mémoire est organisée en mots de 8 bits. Quel est le nombre de cases adressables ? Quelle est la capacité en Kio ? Donner la première et la dernière adresse en hexadécimal.

2) Quelle largeur de bus d'adresses faut-il pour adresser une mémoire de 1 Mio (mots de 8 bits) ? de 4 Gio ?

3) Une mémoire de 256 Kio est organisée en mots de 16 bits. Combien de mots contient-elle ? Combien de bits d'adresse sont nécessaires ?

4) Un circuit mémoire possède 12 lignes d'adresses et 8 lignes de données. Quelle est sa capacité en bits ? en octets ?

5) Pour lire le contenu d'une case, quelles valeurs doit-on appliquer aux signaux $R/\overline{W}$ et $\overline{CS}$? Que se passe-t-il si $\overline{CS} = 1$?

1) $2^{16} = 65\,536$ cases de 1 octet, soit $\boxed{64\text{ Kio}}$. Première adresse : $\texttt{0000}_{16}$; dernière : $\texttt{FFFF}_{16}$.

2) 1 Mio $= 2^{20}$ octets $\Rightarrow$ $\boxed{n = 20}$ bits ; 4 Gio $= 2^{32}$ octets $\Rightarrow$ $\boxed{n = 32}$ bits.

3) 256 Kio $= 2^{18}$ octets $= 2^{17}$ mots de 2 octets : $\boxed{131\,072\text{ mots}}$, donc $\boxed{17}$ bits d'adresse.

4) $2^{12} = 4096$ mots de 8 bits : $4096 \times 8 = \boxed{32\,768\text{ bits}} = \boxed{4096\text{ octets} = 4\text{ Kio}}$.

5) Lecture : $R/\overline{W} = 1$ et $\overline{CS} = 0$ (circuit sélectionné). Si $\overline{CS} = 1$, le circuit n'est pas sélectionné : les autres signaux sont ignorés et les sorties de données sont en haute impédance.

Exercice 5 : Les bus

1) Un bus de 32 bits fonctionne à 133 MHz. Calculer la durée d'un cycle et la bande passante théorique (en Mo/s).

2) Un bus de 64 bits fonctionne à 100 MHz. Quelle est sa bande passante ? Combien de temps faut-il pour transférer 1 Go (= 1000 Mo) à ce débit théorique ?

3) Quelle largeur de bus de données faut-il, à 200 MHz, pour obtenir une bande passante de 3,2 Go/s ?

4) Citer les trois bus d'un ordinateur, donner leur sens (uni ou bidirectionnel) et ce qu'ils transportent.

1) $T = \dfrac{1}{133 \times 10^6} \approx \boxed{7{,}5 \text{ ns}}$; débit $= 32 \times 133 \times 10^6 = 4\,256 \times 10^6$ bits/s $= 532 \times 10^6$ octets/s $= \boxed{532 \text{ Mo/s}}$.

2) Débit $= 64 \times 100 \times 10^6 = 6{,}4 \times 10^9$ bits/s $= \boxed{800 \text{ Mo/s}}$; durée $= \dfrac{1000}{800} = \boxed{1{,}25 \text{ s}}$.

3) 3,2 Go/s $= 25{,}6 \times 10^9$ bits/s ; largeur $= \dfrac{25{,}6 \times 10^9}{200 \times 10^6} = \boxed{128 \text{ bits}}$.

4) *Adresses* : unidirectionnel (du vers la mémoire et les E/S), transporte l'adresse de la case visée. *Données* : bidirectionnel, transporte instructions et données. *Contrôle* : bidirectionnel, transporte les ordres (lecture/écriture, sélection) et les signaux de synchronisation.

Exercice 6 : UAL et indicateurs d'état

Les registres sont de 8 bits. On rappelle les indicateurs : Z (résultat nul), N (résultat négatif, bit de poids fort), C (retenue sortante d'une addition, ou emprunt d'une soustraction), V (débordement en arithmétique signée).

Pour chaque opération, effectuer le calcul en binaire, donner le résultat et les valeurs de Z, N, C, V.

1) `01101100` + `00110101`

2) `11110000` + `00010000`

3) $7 - 9$ (effectuer l'addition de 7 et de -9 en complément à 2)

1) $108 + 53 = 161$: `01101100`+`00110101`=`10100001`. Pas de retenue sortante ; deux positifs donnent un résultat de bit de poids fort 1 (valeur signée -95) donc débordement : $\boxed{Z = 0,\ N = 1,\ C = 0,\ V = 1}$.

2) `11110000`+`00010000`= 1 `00000000` (retenue sortante, résultat sur 8 bits nul). En signé : $-16 + 16 = 0$, pas de débordement : $\boxed{Z = 1,\ N = 0,\ C = 1,\ V = 0}$.

3) -9 = `11110111` (complément à 2 de `00001001`). `00000111` + `11110111` = `11111110`, soit -2. Résultat négatif, non nul ; pas de débordement ; emprunt car $7 < 9$ en non signé : $\boxed{Z = 0,\ N = 1,\ C = 1,\ V = 0}$ (convention $C = 1$ en cas d'emprunt).

Exercice 7 : Exécution d'un programme

Soit un processeur simple à accumulateur (ACC). Les adresses sont notées en décimal. Instructions : `LOAD @` (ACC ← `M[@]`), `ADD @` (ACC ← ACC + `M[@]`), `SUB @` (ACC ← ACC − `M[@]`), `STORE @` (`M[@]` ← ACC), `HALT`. Chaque instruction occupe une case mémoire. Le contenu initial de la mémoire est :

Adresse	Contenu	Adresse	Contenu
10	`LOAD 20`	20	12
11	`ADD 21`	21	7
12	`SUB 22`	22	5
13	`STORE 23`	23	0
14	`HALT`		

Le compteur ordinal (CO) vaut initialement 10.

1) Que calcule ce programme ? Donner la valeur finale de `M[23]`.
2) Compléter le tableau d'exécution : valeurs du CO (après mise à jour), du RI et de ACC à la fin de chaque instruction.
3) Pour l'instruction `ADD 21`, décrire les échanges sur les trois bus (recherche, décodage, exécution).
4) Combien d'accès à la mémoire (lectures et écritures) sont effectués au total ?

Instruction	CO	RI	ACC
`LOAD 20`			
`ADD 21`			
`SUB 22`			
`STORE 23`			
`HALT`			

1) Le programme calcule `M[20]`$+$`M[21]`$-$`M[22]` $= 12+7-5$ et range le résultat en 23 : $\boxed{\texttt{M[23]} = 14}$.

2)

Instruction	CO	RI	ACC
`LOAD 20`	11	`LOAD 20`	12
`ADD 21`	12	`ADD 21`	19
`SUB 22`	13	`SUB 22`	14
`STORE 23`	14	`STORE 23`	14
`HALT`	15	`HALT`	14

3) *Recherche* : le CO (11) est placé sur le bus d'adresses, l' envoie un ordre de lecture sur le bus de contrôle ; le contenu de la case 11 (`ADD 21`) transite par le bus de données jusqu'au RI ; le CO passe à 12. *Décodage* : le décodeur identifie l'opération `ADD` ; l'adresse 21 est placée sur le bus d'adresses, nouvel ordre de lecture ; la valeur 7 arrive par le bus de données dans le registre de données. *Exécution* : l' calcule $12 + 7 = 19$, le résultat est rangé dans ACC, les indicateurs sont mis à jour ($Z = 0$, $N = 0$, $C = 0$, $V = 0$).
4) 5 lectures d'instructions (adresses 10 à 14) + 3 lectures de données (`LOAD`, `ADD`, `SUB`) + 1 écriture (`STORE`) = $\boxed{\text{9 accès}}$.

Exercice 8 : Problème de synthèse

Un ordinateur possède un processeur 32 bits cadencé à 3,2 GHz, un bus de données de 64 bits fonctionnant à 200 MHz et une mémoire centrale de 8 Gio adressable par octet.

1) Combien de bits comporte le bus d'adresses (adresse d'un octet) ?
2) Calculer la durée d'un cycle du processeur et celle d'un cycle du bus. Combien de cycles processeur correspondent à un cycle de bus ?
3) Calculer la bande passante théorique du bus en Mo/s.
4) Combien de temps faut-il, au minimum, pour charger en mémoire un programme de 400 Mo ?
5) Citer deux facteurs, autres que la fréquence d'horloge, qui influencent les performances du pro-

cesseur.

1) 8 Gio $= 2^3 \times 2^{30} = 2^{33}$ octets $\Rightarrow \boxed{33 \text{ bits}}$.

2) $T_{\text{cpu}} = \dfrac{1}{3{,}2 \times 10^9} = \boxed{0{,}3125 \text{ ns}}$; $T_{\text{bus}} = \dfrac{1}{200 \times 10^6} = \boxed{5 \text{ ns}}$; rapport $= \dfrac{3{,}2 \times 10^9}{200 \times 10^6} = \boxed{16}$ cycles processeur par cycle de bus.

3) $64 \times 200 \times 10^6 = 12{,}8 \times 10^9$ bits/s $= \boxed{1\,600 \text{ Mo/s}}$.

4) $\dfrac{400}{1600} = \boxed{0{,}25 \text{ s}}$ (valeur minimale théorique ; le débit réel est inférieur).

5) Par exemple : le nombre de cœurs, la taille de la mémoire cache, la finesse de gravure, l'architecture/génération du processeur.