Travaux Dirigés n°3

Chapitre 3 : Organisation interne d'un ordinateur

Conventions : 1 Ko $= 10^3$ *octets et 1 Mo* $= 10^6$ *octets pour les débits ; 1 Kio* $= 2^{10}$ *octets, 1 Mio* $= 2^{20}$ *octets, 1 Gio* $= 2^{30}$ *octets pour les capacités mémoire. Les nombres signés sont codés en complément à 2.*

Exercice 1 : Questions de cours

Répondre par *vrai* ou *faux* en justifiant brièvement.

1) Dans l'architecture de Von Neumann, le programme et les données sont stockés dans deux mémoires distinctes.

2) L'unité de commande () effectue les opérations arithmétiques et logiques.

3) Le compteur ordinal contient l'adresse de l'instruction *en cours* d'exécution.

4) Le bus d'adresses est bidirectionnel.

5) Un bus de données de 64 bits transfère 8 octets à chaque cycle.

6) Les registres sont plus rapides que la mémoire centrale.

7) Le registre d'état est modifié en fonction du résultat de la dernière opération de l'.

Exercice 2 : Fréquence d'horloge et performance

1) Calculer la durée d'un cycle d'un processeur cadencé à 2,5 GHz.

2) Un processeur à 4 GHz exécute en moyenne 1,5 instruction par cycle. Combien d'instructions exécute-t-il par seconde ? Et en 3 s ?

3) Un programme comporte 9×10^9 instructions et chaque instruction demande en moyenne 3 cycles. Calculer son temps d'exécution sur un processeur à 3 GHz.

4) Un processeur *quad-core* à 2 GHz peut-il être considéré comme 4 fois plus rapide qu'un mono-cœur à 2 GHz ? Justifier.

Exercice 3 : Références de processeurs

Pour chacun des processeurs suivants, indiquer la marque, la famille, la génération, l'identifiant (SKU) et la signification du suffixe :

1) Intel Core i7-12700H 2) Intel Core i5-13600K 3) AMD Ryzen 7 5800U

Exercice 4 : Capacité de la mémoire

1) Un processeur possède un bus d'adresses de 16 bits et la mémoire est organisée en mots de 8 bits. Quel est le nombre de cases adressables ? Quelle est la capacité en Kio ? Donner la première et la dernière adresse en hexadécimal.

2) Quelle largeur de bus d'adresses faut-il pour adresser une mémoire de 1 Mio (mots de 8 bits) ? de 4 Gio ?

3) Une mémoire de 256 Kio est organisée en mots de 16 bits. Combien de mots contient-elle ? Combien de bits d'adresse sont nécessaires ?

4) Un circuit mémoire possède 12 lignes d'adresses et 8 lignes de données. Quelle est sa capacité en

bits ? en octets ?

5) Pour lire le contenu d'une case, quelles valeurs doit-on appliquer aux signaux $R/\overline{W}$ et $\overline{CS}$? Que se passe-t-il si $\overline{CS} = 1$?

Exercice 5 : Les bus

1) Un bus de 32 bits fonctionne à 133 MHz. Calculer la durée d'un cycle et la bande passante théorique (en Mo/s).

2) Un bus de 64 bits fonctionne à 100 MHz. Quelle est sa bande passante ? Combien de temps faut-il pour transférer 1 Go (= 1000 Mo) à ce débit théorique ?

3) Quelle largeur de bus de données faut-il, à 200 MHz, pour obtenir une bande passante de 3,2 Go/s ?

4) Citer les trois bus d'un ordinateur, donner leur sens (uni ou bidirectionnel) et ce qu'ils transportent.

Exercice 6 : UAL et indicateurs d'état

Les registres sont de 8 bits. On rappelle les indicateurs : Z (résultat nul), N (résultat négatif, bit de poids fort), C (retenue sortante d'une addition, ou emprunt d'une soustraction), V (débordement en arithmétique signée).

Pour chaque opération, effectuer le calcul en binaire, donner le résultat et les valeurs de Z, N, C, V.

1) `01101100` + `00110101`

2) `11110000` + `00010000`

3) $7 - 9$ (effectuer l'addition de 7 et de -9 en complément à 2)

Exercice 7 : Exécution d'un programme

Soit un processeur simple à accumulateur (ACC). Les adresses sont notées en décimal. Instructions : `LOAD @` (ACC ← `M[@]`), `ADD @` (ACC ← ACC + `M[@]`), `SUB @` (ACC ← ACC − `M[@]`), `STORE @` (`M[@]` ← ACC), `HALT`. Chaque instruction occupe une case mémoire. Le contenu initial de la mémoire est :

Adresse	Contenu	Adresse	Contenu
10	`LOAD 20`	20	12
11	`ADD 21`	21	7
12	`SUB 22`	22	5
13	`STORE 23`	23	0
14	`HALT`		

Le compteur ordinal (CO) vaut initialement 10.

1) Que calcule ce programme ? Donner la valeur finale de `M[23]`.

2) Compléter le tableau d'exécution : valeurs du CO (après mise à jour), du RI et de ACC à la fin de chaque instruction.

3) Pour l'instruction `ADD 21`, décrire les échanges sur les trois bus (recherche, décodage, exécution).

4) Combien d'accès à la mémoire (lectures et écritures) sont effectués au total ?

Instruction	**CO**	**RI**	**ACC**
`LOAD 20`			
`ADD 21`			
`SUB 22`			
`STORE 23`			
`HALT`			