Travaux Dirigés n°4

Chapitre 4 : Les mémoires

Exercice 1 : Questions de cours

1. Citer les niveaux de la hiérarchie mémoire, du plus rapide au plus lent. Que se passe-t-il pour la capacité et le coût par bit quand on descend dans la hiérarchie ?
2. Quelle est la différence entre une mémoire **SRAM** et une mémoire **DRAM** ? Laquelle utilise-t-on pour la mémoire cache et laquelle pour la mémoire centrale ?
3. Quelle est la différence entre une RAM et une ROM ? Donner un exemple d'utilisation de la ROM.
4. Expliquer les principes de **localité temporelle** et de **localité spatiale**.

Exercice 2 : Capacité et adressage

1. Une mémoire contient 16 Ko organisés en mots de 8 bits. Combien de lignes d'adresse faut-il ? Quelle est l'adresse (en hexadécimal) du dernier mot ?
2. Un microprocesseur possède un bus d'adresses de 20 bits et un bus de données de 16 bits. Quelle est la capacité maximale adressable (en mots, puis en octets) ?
3. Une mémoire est organisée en 2^{12} mots de 32 bits. Donner sa capacité en bits, en octets et en Ko, ainsi que le nombre de lignes d'adresse et de lignes de données.

Exercice 3 : Assemblage de boîtiers mémoire

On dispose de boîtiers mémoire de 16 K $\times$ 8 bits (entrées CS, lignes d'adresse $A_{13} \dots A_0$, données $D_7 \dots D_0$). Le microprocesseur possède un bus d'adresses de 16 bits ($A_{15} \dots A_0$).

1. Combien de boîtiers faut-il pour réaliser une mémoire de 64 K $\times$ 8 ? Quel circuit de décodage utiliser et sur quelles lignes d'adresse ?
2. Donner la plage d'adresses (en hexadécimal) occupée par chaque boîtier.
3. Comment réaliser une mémoire de 16 K $\times$ 16 à partir de ces mêmes boîtiers ?
4. Combien de boîtiers faut-il pour une mémoire de 64 K $\times$ 16 ?

Exercice 4 : Temps d'accès moyen et mémoire cache

Un système possède une mémoire cache de temps d'accès $T_c = 5$ et une mémoire centrale de temps d'accès $T_m = 50$. Le taux de succès (*hit ratio*) du cache est $h = 90\,\%$. On utilise le modèle $= h \cdot T_c + (1 - h) \cdot T_m$.

1. Calculer .
2. Calculer le gain (accélération) par rapport à un système sans cache.
3. Quel taux de succès faut-il pour obtenir $= 8$?

Exercice 5 : Cache à correspondance directe

Une mémoire centrale de 64 K mots est adressée sur 16 bits. Le cache est à **correspondance directe**,

de 8 lignes, chaque ligne (bloc) contenant 4 mots.

1. Décomposer l'adresse en champs *étiquette* (tag), *index* et *déplacement* (offset) : donner le nombre de bits de chacun.
2. Le cache est initialement vide. Le processeur lit successivement les adresses (en décimal) : 0, 4, 8, 32, 0, 5, 33. Pour chaque accès, indiquer la ligne du cache concernée et s'il s'agit d'un succès (H) ou d'un échec (M).
3. En déduire le taux de succès.

Corrigé

Exercice 1

1. Registres → mémoire cache (L1, L2, L3) → mémoire centrale (RAM) → mémoire de masse (disque, SSD) → archivage. En descendant : **capacité** croissante, **vitesse** décroissante et **coût par bit** décroissant.
2. **SRAM** : cellule à bascules (6 transistors), rapide, chère, pas de rafraîchissement ⇒ *mémoire cache*. **DRAM** : cellule à condensateur + transistor, dense et peu chère mais plus lente et à *rafraîchir* périodiquement ⇒ *mémoire centrale*.
3. RAM : lecture/écriture, *volatile*. ROM : lecture seule en usage normal, *non volatile*. Exemple : stockage du programme de démarrage (BIOS/firmware).
4. **Localité temporelle** : une donnée récemment utilisée a de fortes chances d'être réutilisée bientôt (boucles). **Localité spatiale** : si une adresse est accédée, les adresses voisines le seront probablement (tableaux, code séquentiel), d'où le chargement par *blocs*.

Exercice 2

1. 16 Ko $= 2^{14}$ mots de 8 bits ⇒ **14 lignes d'adresse**. Dernière adresse : $2^{14}-1 = 16383 =$ `0x3FFF`.
2. $2^{20} = 1\,048\,576$ mots (1 M mots) de 16 bits, soit $2^{20} \times 2$ octets = 2 Mo.
3. $2^{12} \times 32 = 131\,072$ bits $= 16\,384$ octets = 16 Ko ; **12** lignes d'adresse et **32** lignes de données.

Exercice 3

1. 64 K/16 K = 4 boîtiers. Chaque boîtier reçoit $A_{13} \dots A_0$; les deux bits de poids fort $A_{15}A_{14}$ sont envoyés dans un **décodeur 2 vers 4** dont les sorties pilotent $CS_0 \dots CS_3$.
2.

Boîtier	$A_{15}A_{14}$	Début	Fin
1	00	`0000`	`3FFF`
2	01	`4000`	`7FFF`
3	10	`8000`	`BFFF`
4	11	`C000`	`FFFF`

3. Extension en *largeur* : 2 boîtiers en parallèle, mêmes adresses et même CS ; l'un fournit $D_7 \dots D_0$, l'autre $D_{15} \dots D_8$.
4. $4 \times 2 = 8$ boîtiers (4 « rangées » sélectionnées par le décodeur, chacune formée de 2 boîtiers en parallèle).

Exercice 4

1. $= 0{,}9 \times 5 + 0{,}1 \times 50 = 4{,}5 + 5 =$ **9**,**5**.
2. Gain $= T_m/ = 50/9{,}5 \approx$ **5**,**26**.
3. $8 = 5h + 50(1-h) = 50 - 45h \Rightarrow h = 42/45 \approx$ **0**,**933**, soit 93,3 %.

Exercice 5

1. Adresse sur 16 bits. Déplacement : $\log_2 4 = 2$ bits. Index : $\log_2 8 = 3$ bits. Étiquette : $16-3-2 =$ 11 bits.
2. Numéro de bloc $= \lfloor$adresse$/4 \rfloor$; ligne = bloc mod 8.

Adresse	Bloc	Ligne	Résultat	Commentaire
0	0	0	M	ligne vide
4	1	1	M	ligne vide
8	2	2	M	ligne vide
32	8	0	M	remplace le bloc 0
0	0	0	M	remplace le bloc 8 (conflit)
5	1	1	H	bloc 1 déjà présent
33	8	0	M	remplace le bloc 0 (conflit)

3. 1 succès sur 7 accès : $h = 1/7 \approx 14{,}3\,\%$. Les échecs viennent surtout des *conflits* entre les blocs 0 et 8, qui partagent la ligne 0.